

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-090358

(43)Date of publication of application : 10.04.1998

(51)Int.CI.

G01R 31/28
 G11C 29/00
 H01L 21/66
 H01L 27/04
 H01L 21/822

(21)Application number : 08-244394

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 17.09.1996

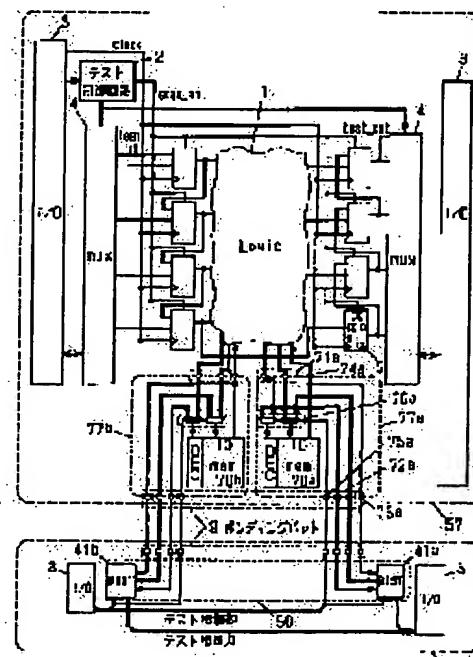
(72)Inventor : SEGAWA REIJI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT, SEMICONDUCTOR DEVICE, AND THEIR TESTING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To enable an application of an inexpensive process matching a test frequency to a second LSI by separately using a first LSI as a circuit required for actual operation and the second LSI as a circuit for memory test.

SOLUTION: An LSI is divided into first and second LSIs 57 and 58 respectively characterized by the parameters of a logic circuit and a memory and a memory test circuit and bonding pads 9 are electrically connected one-to-one on the outside. When test signals are inputted in a normal mode, the LSI 57 independently operates regardless of the operations of the LSI 58. When the signals are inputted in a test mode, on the other hand, a memory 70 reads out data from the address generated from a BIST circuit 41 which performs self-testing in accordance with the address after writing the data generated by the circuit 41. Then the circuit 41 compares the read-out data with an expected value generated by the circuit 41 itself and outputs the compared result from the connecting section 3 of the LSI 58. As a result, an inexpensive process can be applied to the LSI 58.



LEGAL STATUS

[Date of request for examination] 17.02.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2000 Japanese Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-90358

(43) 公開日 平成10年(1998)4月10日

(51)Int.Cl.⁴ 認別記号
G 0 1 R 31/28
G 1 1 C 29/00 3 0 3
H 0 1 L 21/66

27/04

F I				
G 0 1 R	31/28	V		
G 1 1 C	29/00	3 0 3 B		
H 0 1 L	21/66	D		
		E		
G 0 1 R	31/28	Y		
審査請求	未請求	請求項の数 9	OL (全 9 頁)	最終頁に統く

(21)出願番号 特願平8-244394

(22)出願日 平成8年(1996)9月17日

(71) 出題人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 濑川 札二

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

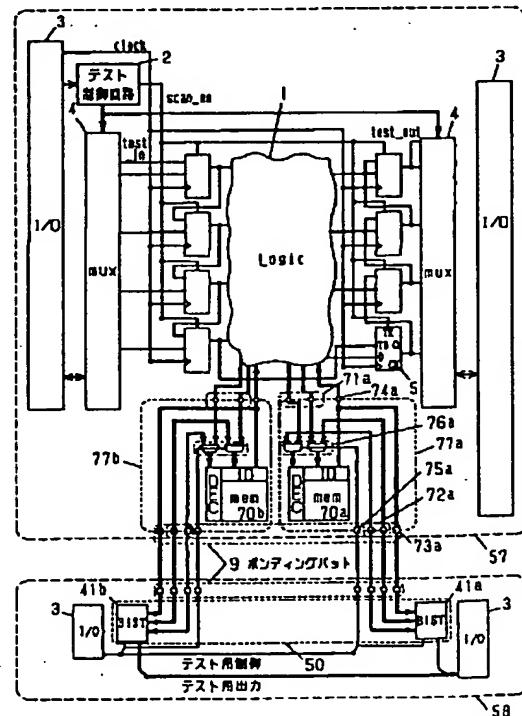
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 半導体集積回路及び半導体装置並びにそのテスト方法

(57) 【要約】

【課題】 LSIのテスト回路による製造コスト増加を抑える。

【解決手段】 入力端子71と、テスト入力端子72と、テスト制御端子75と、出力端子74と、テスト出力端子73と、特定の機能を実現するメモリ（論理回路部）70と、テスト制御端子75の信号に従い、入力端子71又はテスト入力端子72からの信号のどちらか一方をメモリ70に入力する選択回路76とを具備し、論理回路部70の出力信号は出力端子74とテスト出力端子73に出力されており、テスト入力端子72及びテスト出力端子73及びテスト制御端子75は外部と電気的接続可能なボンディングパッド9を有することを特徴とする半導体集積回路である。



【特許請求の範囲】

【請求項1】 入力端子と、テスト入力端子と、テスト制御端子と、出力端子と、テスト出力端子と、特定の機能を実現する論理回路部と、

前記テスト制御端子の信号に従い、前記入力端子又は前記テスト入力端子からの信号のどちらか一方を前記論理回路に入力する選択回路とを具備し、

前記論理回路の出力信号は前記出力端子と前記テスト出力端子に出力されており、前記入力端子及び前記出力端子は外部と電気的接続可能なポンディングパッドを有することを特徴とする半導体集積回路。

【請求項2】 入力端子と、テスト入力端子と、テスト制御端子と、出力端子と、テスト出力端子と、特定の機能を実現する論理回路部と、

前記テスト制御端子の信号に従い、前記入力端子又は前記テスト入力端子からの信号のどちらか一方を前記論理回路部に入力する選択回路とを具備し、

前記論理回路部の出力信号は前記出力端子と前記テスト出力端子に出力されており、前記テスト入力端子及び前記テスト出力端子及び前記テスト制御端子は外部と電気的接続可能なポンディングパッドを有することを特徴とする半導体集積回路。

【請求項3】 前記特定の機能は、メモリ又は演算器の少なくとも一方の機能である請求項1または請求項2記載の半導体集積回路。

【請求項4】 ブロックバラメータの異なる第1の回路部及び第2の回路部を含む複数の回路部を備え、前記第1の回路部は、第1のLSI上に形成されており、

前記第2の回路部は、第2のLSI上に形成されており、

前記第1のLSIは前記第2のLSIに外部で電気的に接続されている半導体装置であって、前記第1の回路部または第2の回路部の一方は、請求項1記載の半導体集積回路を含むことを特長とする半導体装置。

【請求項5】 ブロックバラメータの異なる第1の回路部及び第2の回路部を含む複数の回路部を備え、前記第1の回路部は、第1のLSI上に形成されており、

前記第2の回路部は、第2のLSI上に形成されており、

前記第1のLSIは前記第2のLSIに外部で電気的に接続されている半導体装置であって、前記第1の回路部または第2の回路部の一方は、請求項2記載の半導体集積回路を含むことを特長とする半導体装置。

【請求項6】 前記第1のLSIと前記第2のLSIは、それぞれのLSIの表面同士を重ね合わせて実装されている請求項4または請求項5記載の半導体装置。

【請求項7】 複数の論理回路部と、外部と電気的接続を行う接続部と、前記複数の論理回路のうち少なくとも

1つは、前記接続部を経由することなく、外部と電気的接続可能なポンディングパッドを有する第1のLSIと、

テスト回路部と、外部と電気的接続を行う接続部と、前記第1のLSIのポンディングパッドに1対1で対応するポンディングパッドとを有するテスト用LSIとを具備する半導体装置において、

前記第1のLSIのポンディングパッドと前記テスト用LSIのポンディングパッドを、外部で電気的に接続する工程と、

前記第1のLSIの接続部及び、前記テスト用LSIの接続部より与えられるテストパターンを用いて、前記第1のLSIの論理回路部のテストを行う工程と、を有する半導体装置のテスト方法。

【請求項8】 複数の論理回路部と、外部と電気的接続を行う接続部と、

前記複数の論理回路のうち少なくとも1つは、前記接続部を経由することなく、外部と電気的接続可能なポンディングパッドを有する第1のLSIと、

テスト回路部と、外部と電気的接続を行う接続部と、前記第1のLSIのポンディングパッドに1対1で対応するポンディングパッドとを有するテスト用LSIを具備し、

前記第1のLSIのポンディングパッドと前記テスト用LSIのポンディングパッドを、外部で電気的に接続し、

前記第1のLSIの接続部及び、前記テスト用LSIの接続部より与えられるテストパターンを用いて、前記第1のLSIの論理回路部のテストを行うことを特徴とする半導体装置。

【請求項9】 前記テスト用LSIのテスト回路部は、外部よりプログラムにより変更可能である請求項8の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に関わり、特に、マルチチップモジュール（以下、MCMと記す）に適した半導体装置に関する。

【0002】

【従来の技術】 近年、半導体集積回路は高集積化及び高速化を実現し、システムの半導体集積回路化が加速的に進み、システムの小型化・低価格化に大きく貢献している。しかしながらクオーターミクロン時代の半導体集積回路の高速・高集積化に要する設備投資は増大する一方であり、回路規模の増大と高集積化に伴う歩留まり低下などにより、旧世代プロセスで作られたチップセットに対する価格メリット確保が非常に困難になってきている。そこで、半導体集積回路のコスト削減と低実装面積化を満たす手段として、複数のLSIを1LSI化するのではなくMCM実装を適用する方法が考案されている。こ

の方法により、ボード上に2つのパッケージに分けて封じされていた物を実装するのに対し、実装面積及びボード上の配線がなくなることによる速度的なメリットが得られる。

【0003】また、高集積化により回路のテストにかかるコストが増大している。このテストコストは主にテストに掛かる時間に起因するもの（高価なテスターの減価償却）とテストカバレッジ不足による市場不良の発生である。従来のテストベクトルでは高集積化された回路の全トランジスタの機能の確認が困難となり、今日ではテスト専用の回路としてスキャナ回路やメモリ等の機能モジュールテスト専用のテスト回路をもうけテスト時間の短縮や、テストのカバレッジの向上を図っている。

【0004】

【発明が解決しようとする課題】しかしながら、従来のLSIのテストでは、その多くはLSIの実際の動作周波数に対し、かなり遅い周波数を用いて行っている。例えば、VCR等に用いられている画像用LSI等は、実際には20～30MHzで使用されるが、機能テスト時には1MHz程度で動作させている。前記したスキャナ回路や機能モジュールテスト専用のテスト回路は前記機能テストのみに使用され実際の動作には全く不要であるにも関わらず、高速動作を要求される他の回路と同様な高価なプロセスが用られており、これら回路の面積増加（＝コスト増加）による問題を有していた。

【0005】従って、本発明の目的は、LSIのテスト回路による製造コスト増加を抑える半導体集積回路及び半導体装置並びにそのテスト方法を提供することにある。

【0006】

【課題を解決するための手段】この課題を解決するため本発明の半導体装置は、ブロックパラメータの異なる第1の回路部及び第2の回路部を含む複数の回路部を備え、前記第1の回路部は、第1のLSI上に形成されており、前記第2の回路部は、第2のLSI上に形成されており、前記第1のLSIは前記第2のLSIに外部で電気的に接続されている半導体装置であって、前記第1の回路部または第2の回路部の一方は、入力端子と、テスト入力端子と、テスト制御端子と、出力端子と、テスト出力端子と、特定の機能を実現する論理回路部と、前記テスト制御端子の信号に従い、前記入力端子又は前記テスト入力端子からの信号のどちらか一方を前記論理回路に入力する選択回路とを具備し、前記論理回路の出力信号は出力端子とテスト出力端子に出力されており、前記入力端子及び前記出力端子は外部と電気的接続可能なボンディングパッドを有するものであり、そのことにより上記目的が達成される。

【0007】本発明の更に他の半導体装置は、複数の論理回路部と、外部と電気的接続を行う接続部と、前記複数の論理回路のうち少なくとも1つは、前記接続部を経

由することなく、外部と電気的接続可能なボンディングパッドを有する第1のLSIと、テスト回路部と、外部と電気的接続を行う接続部と、前記第1のLSIのボンディングパッドに1対1で対応するボンディングパッドとを有するテスト用LSIを具備し、前記第1のLSIのボンディングパッドと前記テスト用LSIのボンディングパッドを、外部で電気的に接続し、前記第1のLSIの接続部及び、前記テスト用LSIの接続部より与えられるテストパターンを用いて、前記第1のLSIの論理回路部のテストを行い、そのことにより上記目的が達成される。

【0008】前記テスト用LSIのテスト回路部は、外部よりプログラムにより変更可能であるものであってよい。

【0009】本発明の半導体装置のテスト方法は、複数の論理回路部と、外部と電気的接続を行う接続部と、前記複数の論理回路のうち少なくとも1つは、前記接続部を経由することなく、外部と電気的接続可能なボンディングパッドを有する第1のLSIと、テスト回路部と、外部と電気的接続を行う接続部と、前記第1のLSIのボンディングパッドに1対1で対応するボンディングパッドとを有するテスト用LSIとを具備する半導体装置において、前記第1のLSIのボンディングパッドと前記テスト用LSIのボンディングパッドを、外部で電気的に接続する工程と、前記第1のLSIの接続部及び、前記テスト用LSIの接続部より与えられるテストパターンを用いて、前記第1のLSIの論理回路部のテストを行う工程とを有し、そのことにより上記目的が達成される。

【0010】

【発明の実施の形態】以下、本発明の実施の形態について、図を用いて説明する。

【0011】（実施の形態1）図2はブロックパラメータにより2つに分離されたLSIの回路図である。本実施の形態では、図1に示すように「論理回路」と「メモリ及びメモリテスト回路」をパラメータとして分割して、第1のLSIと第2のLSIをMCM実装を行っている。

【0012】図2に於いて、第1のLSI7と第2のLSI8は、「論理回路」と「メモリ及びメモリテスト回路」というパラメータで特徴づけられ、2つのLSIに分割された物であり、各々のボンディングパッド9を外部で電気的に1対1接続されており、請求項4記載の半導体装置として機能するものである。

【0013】また1は論理回路部、2は論理回路部1をテストするためのテスト制御回路、3は外部と電気的接続を行う接続部(I/O)、4は選択回路部(mux)、5はスキャナ機能付きDフリップフロップ(SCAN-DFF)、6は選択回路である。

【0014】つぎに本発明の半導体装置について図2、

図6を用いて説明する。第2のLSI8の67は、選択機能を有するメモリの回路（請求項1に対応）であり、図6にその詳細を示す。テスト制御端子65からの制御により通常モード／テストモードの切換が行われ、通常モードに於いては選択回路部66は入力端子61から入力されるメモリ制御信号、アドレス及びデータをメモリ60に入力し、メモリ60は入力されるメモリ制御信号、アドレスに従い、データの読み込み／書き込みを行い、読み出し結果をテスト出力端子63及び出力端子64に出力する。一方、テストモードに於いては選択回路部66（メモリテスト回路の一部として機能する）はテスト入力端子62から入力されるメモリ制御信号、アドレス及びデータをメモリ60に入力し、メモリ60は入力されるメモリ制御信号、アドレスに従い、データの読み込み／書き込みを行い、読み出し結果をテスト出力端子63及び出力端子64に出力するように構成されており、請求項2の発明にいう半導体集積回路として機能するものである。

【0015】以上の様に「論理回路」と「メモリ及びメモリテスト回路」を分割することによって、以下のような利点がある。

【0016】（1）2種類のLSIに分割して形成することにより、分割を行わずに形成した場合に比べて、それぞれのLSIの面積は小さくなり、製造歩留まりが向上する。

【0017】（2）また、LSI内部のレイアウト上、形状が固定している物が多いほど面積最適化が困難であるが、形状が固定されているメモリが第1のLSIにはなくなるので、面積最適化が非常に容易になり、さらに面積が削減できる。

【0018】上記（1）、（2）より製造コストが削減される。

（3）メモリと接続関係にある論理回路とを図1に示すようにMCM実装したが、立体的に実装（例えばフリップチップ実装、COC実装など）すれば、従来存在していたブロック間配線が不要となり、より高速な動作が可能となる。

【0019】なお、本実施の形態では、パラメータをメモリで構成した例で説明したが、FPUやDSP等の演算器についても同様に実施可能である。

【0020】（実施の形態2）図3は他のブロックパラメータにより2つに分離されたLSIの回路図である。本実施の形態ではパラメータとして「論理回路及びメモリ」と「メモリテスト回路」を用いて分割している。

【0021】図3に於いて、第1のLSI57と第2のLSI58は、「論理回路及びメモリ」と「メモリテスト回路」というパラメータで特徴づけられ、2つのLSIに分割された物であり、各々のポンディングパッド9を外部で電気的に1対1接続されており、請求項5記載の半導体装置として機能するものである。

【0022】また、1は論理回路部、2は論理回路部1をテストするためのテスト制御回路、3は外部と電気的接続を行う接続部、4は選択回路部、5はスキャン機能付きDフリップフロップ(SCAN-DFF)、41は入力パターン発生器及び出力パターン判定器からなりメモリの自己テストを行うBIST(Build In Self Test)回路である。

【0023】つぎに本発明の半導体装置について図3、図7を用いて説明する。第1のLSI57の77は、選択機能を有するメモリの回路（請求項2に対応）であり、図7にその詳細を示す。テスト制御端子75からの制御により通常モード／テストモードの切換が行われ、通常モードに於いては選択回路部76は入力端子71から入力されるメモリ制御信号、アドレス及びデータをメモリ70に入力し、メモリ70は入力されるメモリ制御信号、アドレスに従い、データの読み込み／書き込みを行い、読み出し結果をテスト出力端子73及び出力端子74に出力する。一方、テストモードに於いては選択回路部76はテスト入力端子72から入力されるメモリ制御信号、アドレス及びデータをメモリ70に入力し、メモリ70は入力されるメモリ制御信号、アドレスに従い、データの読み込み／書き込みを行い、読み出し結果をテスト出力端子73及び出力端子74に出力するように構成されている。

【0024】第1のLSI57は通常モードに於いては、第2のLSI58には関係なく通常アドレスに従いデータの読み込み／書き込みを行い、テストモードに於いては、第2のLSI58のBIST回路41で生成されるアドレスに従い、BIST回路41の生成するデータを書き込みを行った後、同アドレスからデータを読み出し、正しいデータの読み書きができたかを比較し、比較結果を第2のLSI58の接続部3を通して出力する。

【0025】一般にテスト回路は、LSIに求められている仕様とは別に製造過程での良品の判別を容易にするために付加する物であり、ユーザーにとっては不要な回路である。よって、不要な回路である「テスト回路」を如何に安く作るかがトータルコストに大きく寄与する。

【0026】以上の様に「論理回路及びメモリ」と「メモリテスト回路」を分割することによって、以下のような利点がある。

【0027】（1）特に、実動作上必要な回路（「論理回路及びメモリ」）を第1のLSIに形成し、実動作上不要な回路（「メモリテスト回路」）を第2のLSIに分離することにより、第1のLSIのみ高価な高速高集積プロセスを用いて製造し、第2のLSIはテスト周波数に見合った安価なプロセスを用いることが可能となるので、LSIの低価格化に有効である。

【0028】（2）また、第2のLSIをプログラム的に論理の組み替えが可能なFPGA、PLA等で構成す

れば、第2のLSIの製造が不要になるので、さらにコストの大幅削減が可能である。

【0029】(実施の形態3)図3は第1のLSIと第2のLSI(=テスト用LSI)の分割を示す図、図4、図9はテスト時における第1のLSIとテスト用LSIの電気的接続を示す図、図8は半導体テスト装置の構成を示す図である。

【0030】図8に於いて、101はCPU、102はテスト用の入力データ114及びその期待値115を格納するデータ格納部、103はCPUにより実行される各種プログラムを格納するROM、104は表示用ディスプレー、105は入力用キーボード、106はCPUからのデジタル信号を基に被テストLSIに与える波形を生成する波形生成部、107は被テストLSIからの応答信号を検出する波形検出部、108はI/O部、83はテスト用ボード、111は波形生成プログラム、112は波形検出プログラム、113は被テストLSIからの応答信号と期待値データ115の一致を判定する一致判定プログラムである。

【0031】図4、図9に於いて、57は論理回路部1、接続部3及びボンディングパッド9で構成され、被テストLSIとなる第1のLSI、58はテスト回路部50、接続部3及びボンディングパッド9で構成されるテスト用LSIとなる第2のLSIであり、57、58は「論理回路及びメモリ」と「メモリテスト回路」というパラメータで特徴づけられ、2つのLSIに分割された物であり、各々のボンディングパッド9を外部で電気的に1対1接続されている。

【0032】83はテスト用ボードであり、テスト用LSI58が半田バンブ85により予め表面実装されており、プローブ84を通して第1のLSI57との電気的接続をおこなう。つまり、テスト用ボード83は、図9に示すように第1のLSIと第2のLSIの対応するボンディングパッド(BP部)9を接続させ、第1及び第2のLSIの接続部3を図8に示すI/O108に接続させる機能を持つ。

【0033】次に本発明の半導体装置のテスト方法について図3、図4、図8、図9を用いて説明する。

【0034】(第1の工程)テスト用ボード83のプローブ84は、第1のLSIの全てのボンディングパッド9及び全ての接続部3と接触状態(図4の状態2)となり、第1のLSI57のボンディングパッド9とテスト用LSI58のボンディングパッド9の各々が導通状態となり、且つ第1のLSI57の接続部3及びテスト用LSI58の接続部3は、半導体テスト装置100のI/O部108を通して、波形生成部106、波形検出部107と導通状態となる。

【0035】(第2の工程)次に、CPU101は波形生成プログラム111及び入力データ114より波形生成部106にテスト入力信号の生成の命令を出し、波形

生成部106はこの命令に従いテスト入力信号をテスト用ボード83に与える。

【0036】(i)前記テスト入力信号が通常モードの場合、第1のLSI57はテスト用LSI58の動作に関係なく独立に動作し、その結果をテスト用ボード83を通して波形検出部107に伝える。CPU101は波形検出プログラム112及び一致判定プログラム113を用いて、波形検出部107に伝えられた信号と期待値データ115の値との一致/不一致を判別し、その結果を表示部104に表示する。

【0037】(ii)前記テスト入力信号がテストモード(SCANモード)の場合、第1のLSI7はテスト用LSI8の動作に関係なく独立にSCAN動作し、その結果をテスト用ボード83を通して波形検出部107に伝える。CPU101は波形検出プログラム112及び一致判定プログラム113を用いて、波形検出部107に伝えられた信号と期待値データ115の値との一致/不一致を判別し、その結果を表示部104に表示する。

【0038】(iii)前記テスト入力信号がテストモード(メモリテストモード)の場合、メモリ70は、第2のLSI58のBIST回路41で生成されるアドレスに従い、BIST回路41の生成するデータの書き込みを行った後、同アドレスからデータを読み出し、BIST回路41は読み出しデータとBIST回路41自身が生成した期待値との比較を行いその結果をテスト用LSI58の接続部3より出力し、テスト用ボード83を通して波形検出部107に伝える。CPU101は波形検出プログラム112及び一致判定プログラム113を用いて、波形検出部107に伝えられた信号と期待値データ115の値との一致/不一致を判別し、その結果を表示部104に表示する。

【0039】なお、上記実施の形態では第1のLSIとテスト用ボードとの接続にプローブを用いているが、プローブの代わりに図5に示すように樹脂と金属により形成される低硬度突起電極91を用いた例を採用しても良い。

【0040】

【発明の効果】以上のように本発明によれば、実動作上に必要な回路を第1のLSIに形成し、メモリのテスト用回路を第2のLSIに分離することにより、第1のLSIのみ高価な高速高集積プロセスを用いて製造し、第2のLSIはテスト周波数に見合った安価なプロセスを用いることが可能となるので、LSIの低価格化に有効である。また、第2のLSIをプログラム的に論理の組み替えが可能なFPGA等で構成すれば、第2のLSIの製造が不要になるので、さらにコストの大幅削減が可能である。

【図面の簡単な説明】

【図1】本発明の一実施の形態による半導体装置の分割

及び実装の模式図

【図2】バラメータ「論理回路」「メモリ及びメモリテスト回路」で分割した1つのLSIの構成図

【図3】バラメータ「論理回路とメモリ」「メモリテスト回路」で分割した1つのLSIの構成図

【図4】第1のLSIとテスト用LSIの電気的接続の一例を示す図

【図5】第1のLSIとテスト用LSIの電気的接続の他の例を示す図

【図6】選択機能を有するメモリの回路図

【図7】選択機能を有するメモリの回路図

【図8】半導体テスト装置の構成図

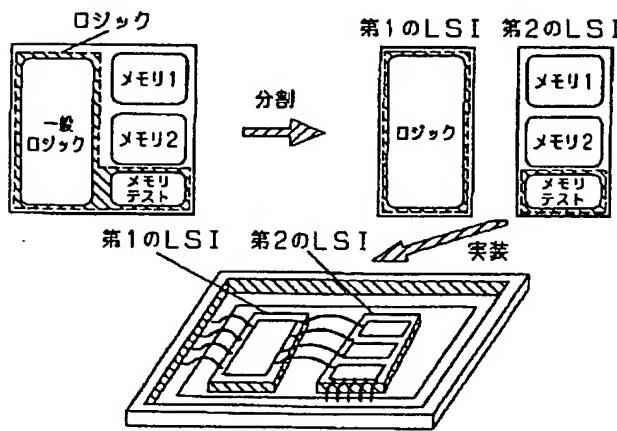
【図9】第1のLSIとテスト用LSIの電気的接続を示す図

【符号の説明】

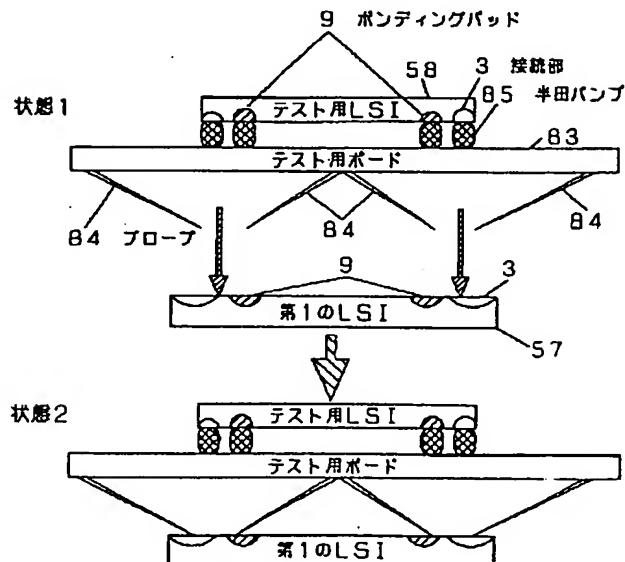
- 1 論理回路部
- 2 テスト制御回路
- 3 接続部
- 4 選択回路部
- 5 スキャン機能付きDフリップフロップ
- 6 選択回路
- 7, 57 第1のLSI
- 8, 58 第2のLSI
- 9 ポンディングパッド
- 41 BIST回路
- 50 テスト回路部

- 60, 70 メモリ
- 61, 71 入力端子
- 62, 72 テスト入力端子
- 63, 73 テスト出力端子
- 64, 74 出力端子
- 65, 75 テスト制御端子
- 66, 76 選択回路部
- 67, 77 選択機能を有するメモリの回路
- 83, 90 テスト用ボード
- 84 プローブ
- 85 半田バンプ
- 9.1 低硬度突起電極
- 101 CPU
- 102 データ格納部
- 103 各種プログラムを格納するROM
- 104 表示用ディスプレー
- 105 入力用キーボード
- 106 波形生成部
- 107 波形検出部
- 108 I/O部
- 111 波形生成プログラム
- 112 波形検出プログラム
- 113 一致判定プログラム
- 114 テスト用の入力データ
- 115 期待値

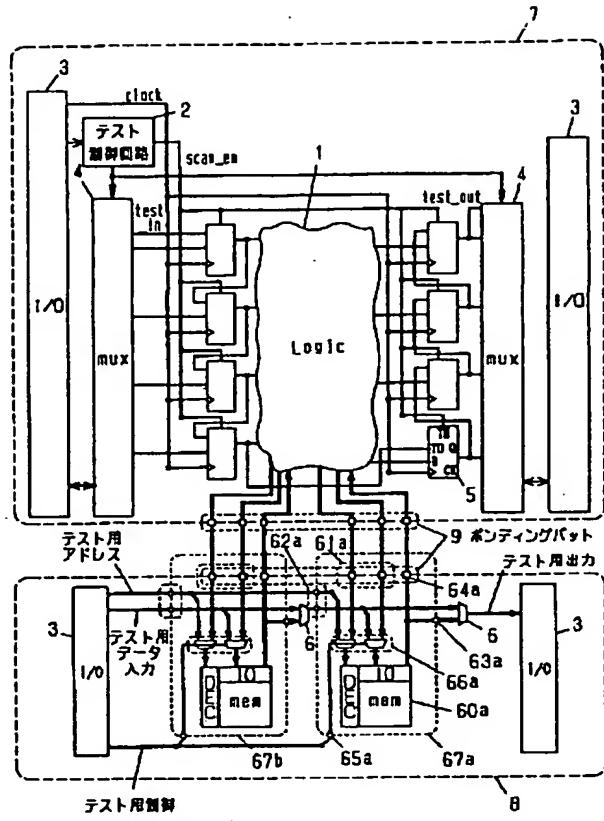
【図1】



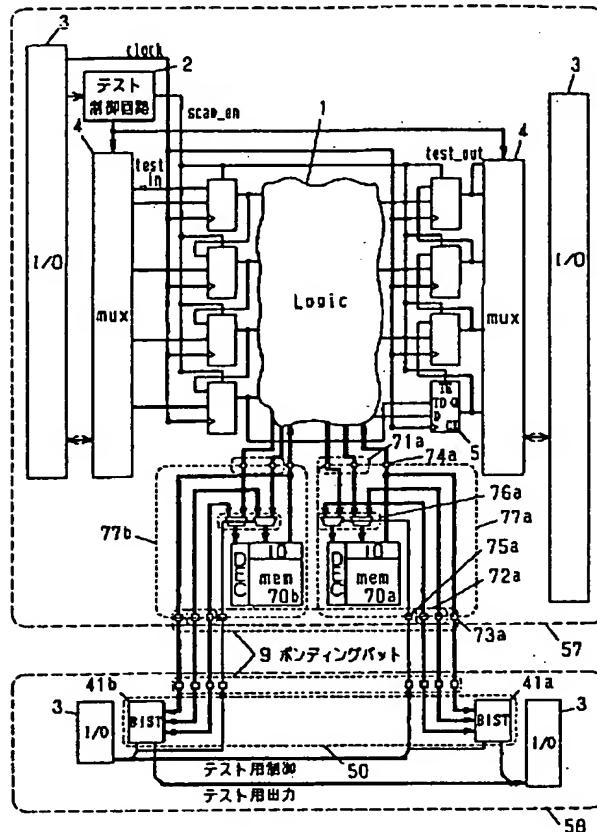
【図4】



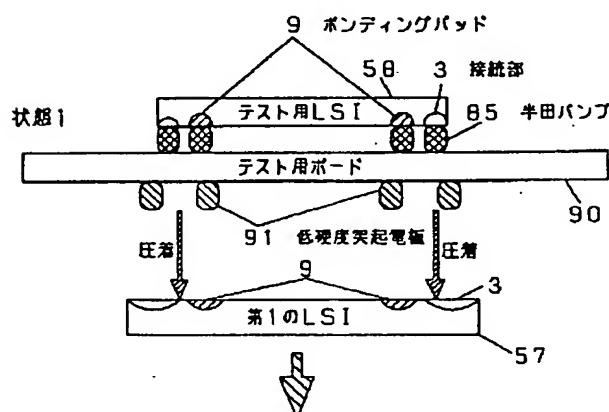
【図2】



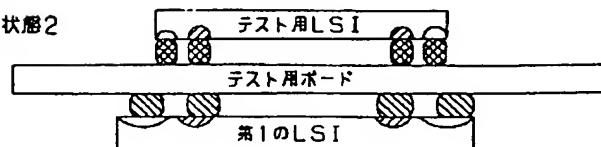
[図3]



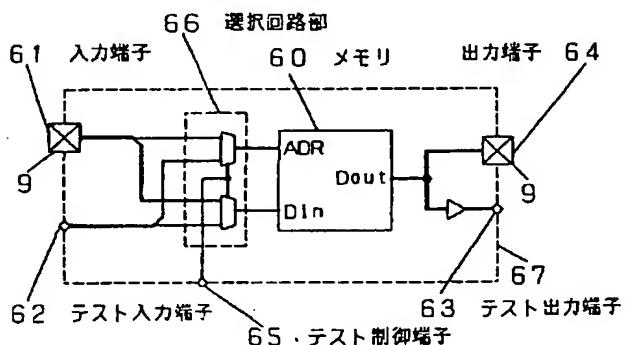
〔图5〕



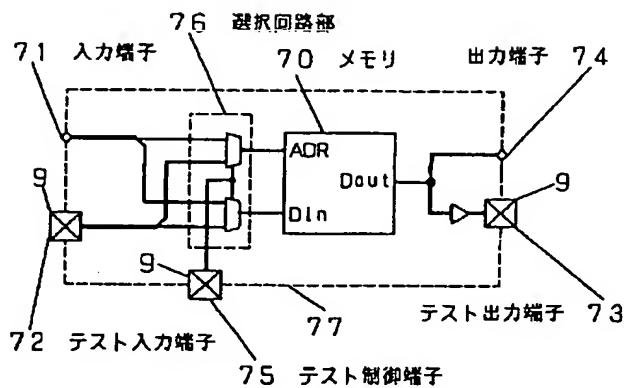
狀態2



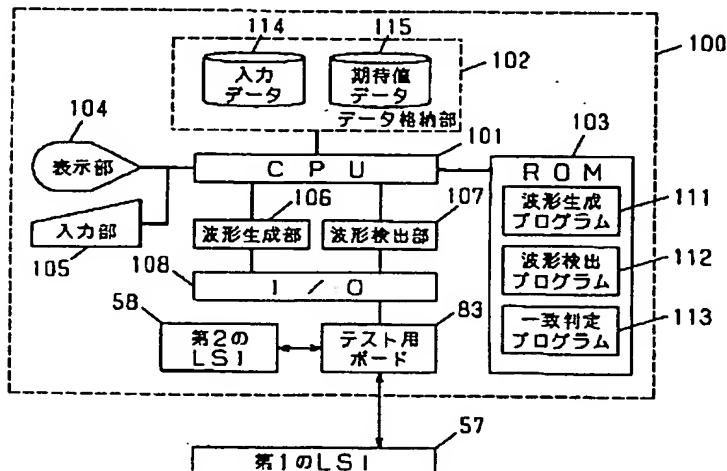
〔図6〕



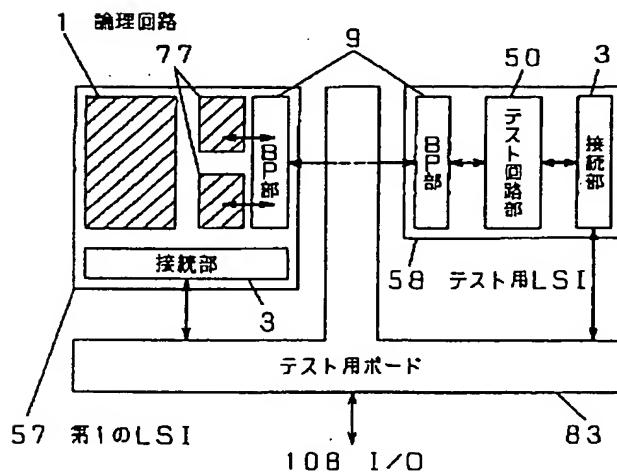
〔 7〕



[图 8]



〔 9〕



フロントページの続き

(51)Int.Cl.

H 01 L 21/822

識別記号

F I

H 01 L 27/04

T